

Abstract

A memory system including large-capacity ROM and RAM in which high-speed reading and writing are enabled is provided.

A memory system including a non-volatile memory (CHIP1),
5 DRAM (CHIP3), a control circuit (CHIP2) and an information
processing device (CHIP4) is configured. Data in FLASH is
transferred to SRAM or DRAM in advance to speed up. Data transfer
between the non-volatile memory (FLASH) and DRAM (CHIP3) can
be performed in the background. The memory system including
10 these plural chips is configured as a memory system module in
which each chip is mutually laminated and each chip is wired
via a ball grid array (BGA) and bonding wire between the chips.

As data in FLASH can be read at the similar speed to that
of DRAM by securing a region in which the data in FLASH can
15 be copied in DRAM and transferring the data to DRAM in advance
immediately after power is turned on or by a load instruction,
the performance and the function of a mobile device can be
enhanced.

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 6 月 10 日 (10.06.2004)

PCT

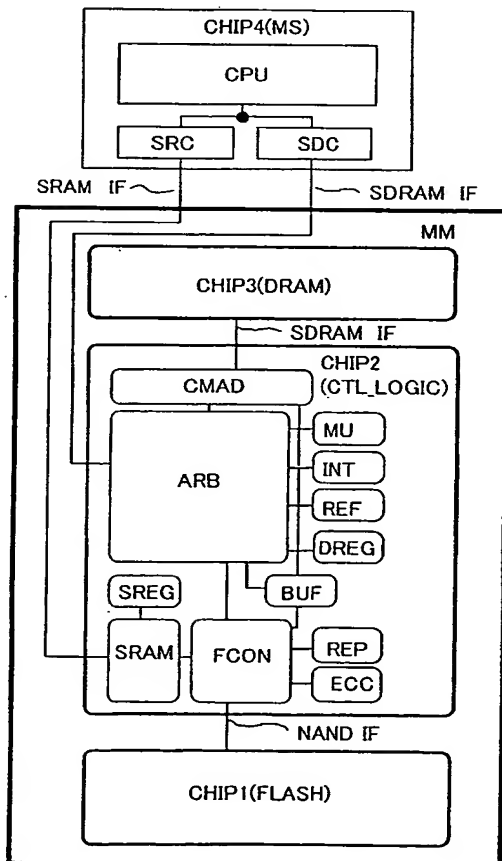
(10) 国際公開番号
WO 2004/049168 A1

- (51) 国際特許分類⁷: G06F 12/06, G11C 11/34, 11/401, 16/00, H01L 27/10
- (21) 国際出願番号: PCT/JP2003/015165
- (22) 国際出願日: 2003 年 11 月 27 日 (27.11.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-344815
2002 年 11 月 28 日 (28.11.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 三浦 誓士 (MIURA, Seiji) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 鮎川 一重 (AYUKAWA, Kazushige) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP).
- (74) 代理人: 小川 勝男 (OGAWA, Katsuo); 〒104-0033 東京都中央区新川一丁目 3 番 3 号 第 17 荒井ビル 8 階 日東国際特許事務所 Tokyo (JP).

/続葉有/

(54) Title: MEMORY MODULE, MEMORY SYSTEM, AND INFORMATION DEVICE

(54) 発明の名称: メモリモジュール、メモリスistem、及び情報機器



(57) Abstract: There is provided a memory system including a large-capacity ROM and RAM capable of high-speed read out and write in. The memory system includes a non-volatile memory (CHIP1), DRAM (CHIP3), a control circuit (CHIP2), and an information processing device (CHIP4). FLASH data is transferred in advance to the SRAM and DRAM, thereby increasing the speed. Data transfer between the non-volatile memory (FLASH) and DRAM (CHIP3) can be performed by the back ground. The memory system consisting of these chips is composed as a memory system module in which each chip is layered on one another and wired by bonding in the ball grid array (BGA) and between the chips. A region capable of copying flash data is reserved in the DRAM and the data is transferred to the DRAM in advance immediately after power is turned ON or by the load instruction, so that the flash data can be read out at a speed of about the DRAM. Thus, it is possible to improve the performance and function of mobile devices.

(57) 要約: 高速読み出し、書き込みが可能な大記憶容量のROMとRAMを含むメモリスistemを提供する。不揮発性メモリ(CHIP1)、DRAM(CHIP3)、制御回路(CHIP2)、情報処理装置(CHIP4)を含むメモリスistemを構成する。予めFLASHのデータをSRAMおよびDRAMへ転送させて高速化を図る。不揮発性メモリ(FLASH)とDRAM(CHIP3)間のデータ転送は、バックグラウンドで行えるようにする。これら複数のチップからなるメモリスistemを、各チップが相互に積層して配置され、ボールグリッドアレイ(BGA)やチップ間のボンディングによって配線されたメモリスistem・モジュールとして構成する。Flashのデータをコピーできる領域をDRAMに確保し、電源投入直後あるいはロード命令により、予めDRAMへデータを転送してお

くことで、DRAMと同程度の速度でFLASHのデータを読み出すことができるため、携帯機器の高性能化、高機能化が図れる。



(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。